

PATENT ABSTRACTS OF JAPAN

BEST AVAILABLE COPY

(11)Publication number : 11-306044

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

G06F 11/28

(21)Application number : 10-112125

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.04.1998

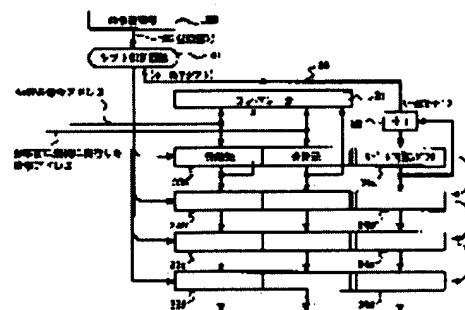
(72)Inventor : SAKAMOTO NORISHIGE
NITTA KENICHI

(54) DATA PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To expand a range in which PC trace is possible for the number of PC trace register means.

SOLUTION: A data processor includes trace data registers 33a to 33d which successively store branching trace data that specify a branching origin and a branched party when a branching occurs to the instruction execution of a CPU 2, repeat number of times registers 34a to 34d, and control means 30, 31 and 32. The control means 30 to 32 have the repeat number of times registers corresponding to the branching trace data of the previous branching update the number of times data when the branching equal to the previous one occurs and obtains the trace data for another trace data register and initializes the corresponding repeat number of times register when a branching different from the previous one occurs. Even if the same branching is repeated by a repeat instruction or the like, the same trace data are blocked so that they are not stored in new trace data registers 33a to 33d.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(11)特許出願公開番号

特開平11-306044

(43)公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

G O 6 F 11/28

識別記号

3 1 0

FI

G O 6 F 11/28

3 1 0 E

審査請求 未請求 請求項の数4 OL (全 9 頁)

(21)出願番号 特願平10-112125

(22)出願日 平成10年(1998)4月22日

(71)出國人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 究明者 阪本 憲成

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 新田 健一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

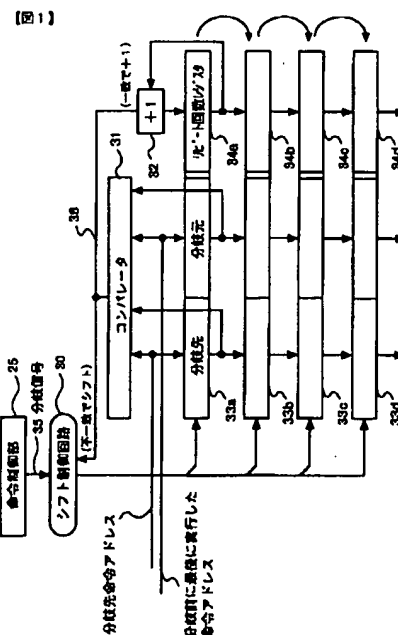
(74)代理人 弁理士 玉村 静世

(54) 【発明の名称】 データプロセッサ

(57)【要約】

【課題】 PCトレース用レジスタ手段の数に対してPCトレース可能な範囲を広げる。

【解決手段】 データプロセッサは、CPU(2)の命令実行に分岐が発生したとき分岐元及び分岐先を特定する分岐トレースデータを順次格納するトレースデータレジスタ(33a~33d)と、リポート回数レジスタ(34a~34d)と、制御手段(30, 31, 32, 30a, 30b)とを含む。制御手段は、前回と等しい分岐が生じたとき前回の分岐の分岐トレースデータ対応のリポート回数レジスタで回数データを更新し、前回と異なる分岐が生じたとき別のトレースデータレジスタにトレースデータを取得し且つ対応するリポート回数レジスタを初期化する。リポート命令等により同じ分岐が繰り返される場合にも毎回同じトレースデータが新たなトレースデータレジスタに格納される事態を阻止する。



【特許請求の範囲】

【請求項 1】 CPUと、CPUによる命令実行順序が変化される分岐が発生したとき分岐元及び分岐先の命令アドレスを特定するための分岐トレースデータを順次格納する複数のトレースデータレジスタと、前記夫々のトレースデータレジスタに設けられたリビート回数レジスタと、前記複数のトレースデータレジスタに対する分岐トレースデータの格納を制御すると共に、前記リビート回数レジスタに対する回数データの格納を制御する制御手段とを含み、

前記制御手段は、分岐の発生を検出したときその分岐が前回の分岐と等しいときは対応する分岐トレースデータを既に有するトレースデータレジスタのリビート回数レジスタ上で回数データを更新し、その分岐が前回の分岐と異なるときは別のトレースデータレジスタに今回の分岐トレースデータを取得すると共に対応するリビート回数レジスタを初期化する、ものであることを特徴とするデータプロセッサ。

【請求項 2】 CPUと、CPUによる命令実行順序が変化される分岐が発生したとき分岐元及び分岐先の命令アドレスを特定するための分岐トレースデータを順次格納する複数のレジスタ手段と、前記複数のレジスタ手段に対する分岐トレースデータの格納を制御する制御手段とを含み、

前記制御手段は、新たに分岐が生じたときの分岐トレースデータが前記レジスタ手段に既に格納されている分岐トレースデータに等しいときは新たな分岐トレースデータの取得に代えて一致に係る分岐の回数を対応するレジスタ手段に格納し、新たに分岐が生じたときの分岐トレースデータが前記レジスタ手段に既に格納されている分岐トレースデータと不一致のときはレジスタ手段を変えて新たな分岐トレースデータを取得する、ものであることを特徴とするデータプロセッサ。

【請求項 3】 CPUと、CPUによる命令実行順序が変化される分岐が発生したとき分岐元及び分岐先の命令アドレスを特定するための分岐トレースデータを順次格納する複数のレジスタ手段と、前記複数のレジスタ手段に対する分岐トレースデータの格納を制御する制御手段とを含み、

前記制御手段は、新たに分岐が生じたときその分岐がリビート命令の実行による繰返しであるときは新たな分岐トレースデータの取得に代えてそのリビート命令に係る分岐の回数を対応するレジスタ手段に格納し、新たに分岐が生じたときその分岐がリビート命令の実行による繰返しでないときはレジスタ手段を変えて新たな分岐トレースデータを取得する、ものであることを特徴とするデータプロセッサ。

【請求項 4】 前記制御手段は更に、リビート命令の途中で割込みに基づく分岐が発生したとき、レジスタ手段を変えて新たな分岐トレースデータを取得する処理を抑

止するものであることを特徴とする請求項 3 記載のデータプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPU（中央処理装置）による命令実行順序が変化される分岐が発生したとき分岐元及び分岐先の命令アドレスを取得するための分岐トレースデータを保持することができる、所謂 PC トレース機能を有するデータプロセッサに関し、例えば、リビート命令をサポートするマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】マイクロコンピュータには、オンボードでユーザデバッグ機能をサポートするための PC トレース機能を有するものがある。CPU による命令実行順序が変化されることになる分岐は、分岐命令、割込み、例外処理、リビート命令などによって生ずる。PC トレース機能は、前記分岐が発生したとき分岐元及び分岐先の命令アドレスを取得するための分岐トレースデータを PC トレース用レジスタに保持させる、デバッグサポート機能とされる。この PC トレースレジスタは、複数組備えられており、分岐が発生する度に、順次格納先レジスタが変化されていく。

【0003】尚、PC トレース機能について記載された文献の例としては、日立 SH7410 ハードウェアマニュアル第 2 版（平成 9 年 11 月発行）第 186 頁～第 188 頁並びに第 195 頁～第 196 頁がある。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術の PC トレース機能では、同じ分岐が何回も繰り返される場合であっても、毎回同じ分岐トレースデータを保持していくため、記憶容量に限りの有る PC トレースレジスタを無駄に費やすことになり、広範囲に PC トレースを行なうことができない。

【0005】本発明の目的は、レジスタ手段の数が限られていても広範囲に PC トレースを行なうことができるデータプロセッサを提供することにある。

【0006】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】すなわち、データプロセッサは、CPU（2）と、CPU による命令実行順序が変化される分岐が発生したとき分岐元及び分岐先の命令アドレスを特定するための分岐トレースデータを順次格納する複数のトレースデータレジスタ（33a～33d）と、前記夫々のトレースデータレジスタに設けられたリビート回数

レジスタ(34a~34d)と、前記複数のトレースデータレジスタに対する分岐トレースデータの格納を制御すると共に、前記リピート回数レジスタに対する回数データの格納を制御する制御手段(30, 31, 32, 30a, 30b)とを含む。前記制御手段の機能を包括的に説明すれば、分岐の発生を検出したとき、その分岐が前回の分岐と等しいときは対応する分岐トレースデータを既に有するトレースデータレジスタのリピート回数レジスタ上で回数データを更新し、その分岐が前回の分岐と異なるときは別のトレースデータレジスタに今回の分岐トレースデータを取得すると共に対応するリピート回数レジスタを初期化するものである。

【0009】上記により、リピート命令やループによって同じ分岐が何回も繰り返される場合であっても、毎回同じトレースデータが新たなトレースデータレジスタに格納される事態を阻止することができる。したがって、記憶容量に限りの有るPCトレース用のトレースデータレジスタを無駄に費やすことがない。したがって、広範囲にPCトレースを行なうことが可能になる。

【0010】第1の具体的な態様による前記制御手段(30, 31, 32)は、新たに分岐が生じたときの分岐トレースデータがレジスタ手段(33a~33d, 34a~34d)に既に格納されている分岐トレースデータに等しいときは、新たな分岐トレースデータの取得に代えて、一致に係る分岐の回数を対応するレジスタ手段に格納し、新たに分岐が生じたときの分岐トレースデータが前記レジスタ手段に既に格納されている分岐トレースデータと不一致のときは、レジスタ手段を変えて新たな分岐トレースデータを取得する。

【0011】第2の具体的な態様による前記制御手段(30a, 32)は、新たに分岐が生じたときその分岐がリピート命令の実行による繰返しであるときは、新たな分岐トレースデータの取得に代えて、そのリピート命令に係る分岐の回数を対応するレジスタ手段に格納し、新たに分岐が生じたときその分岐がリピート命令の実行による繰返しでないときは、レジスタ手段を変えて新たな分岐トレースデータを取得する。第2の具体的な態様は、リピート命令に対してだけ新たなトレースデータ入力を抑止する点で、その回路及び機能は第1の具体的な態様に比べて簡素化されている。

【0012】第3の具体的な態様による前記制御手段(30b, 32)は、第2の具体的な態様に対して更に、リピート命令の途中で割込みに基づく分岐が発生したときレジスタ手段を変えて新たな分岐トレースデータを取得する処理を抑止する。これによれば、リピート命令の途中で割込みが発生しても、その割込みによる分岐ではトレースデータの保持を行わない。処理若しくはプログラムが正常であれば、割込み処理を終了すると、CPUの処理は割込み発生時点の処理に復帰されるので、リピート命令途中の割込みを無視すれば、P

Cトレースの範囲を更に広げることにも可能になる、という点でPCトレースの融通性が増す。

【0013】

【発明の実施の形態】図6には本発明に係るデータプロセッサの一例であるマイクロコンピュータのブロック図が示される。同図に示されるマイクロコンピュータ1は、例えば公知の半導体集積回路製造技術によって単結晶シリコンのような1個の半導体基板(半導体チップ)に形成される。このマイクロコンピュータ1は、特に制限されないが、内部バス1-Bus及びペリフェラルバスP-Busを有する。それらバスはデータ、アドレス、制御信号の各信号線群を備えている。

【0014】内部バス1-Busには中央処理装置(CPU)2、ユーザブレイクコントローラ(UBC)4、Xメモリ5、及びYメモリ6、バスステートコントローラ(BSC)7が結合されている。バスステートコントローラ(BSC)7はペリフェラルバスP-Busに接続される。ペリフェラルバスP-Busには、特に制限されないが、割込みコントローラ(INTC)10、ダイレクトメモリアクセスコントローラ(DMAC)11、フリーランニングタイマ(FRT)12、シリアルコミュニケーションインタフェース(SCI)13、シリアルインタフェース(SIO)14、ユーザデバッグインタフェース15、及びシステムコントローラ16が結合されている。図6において17, 18で示されるものは入出力ポート回路である。入出力ポート回路17は外部アドレスバス、データバス及びコントロールバスとインタフェースされる。入出力ポート回路18は周辺回路のための外部インタフェース回路とされる。

【0015】前記CPU2は、特に制限されないが、算術論理演算器などを有する整数ユニット20と共に積和演算器などを有するDSPユニット21を備える。DSPユニット21にはDSPレジスタ22が割り当てられ、整数ユニット20には汎用レジスタ23が割り当てられる。その他にCPU2には制御レジスタ24が設けられている。CPU2における命令フェッチ及び命令デコードなどの命令制御は命令制御部25が行なう。また、演算に必要なデータフェッチは命令制御部から出力される制御信号に基づいてデータ制御部26が行なう。

CPU2は図示を省略する外部メモリなどから命令をフェッチし、その命令を命令制御部25の命令デコーダにて解読することにより、整数ユニット20やDSPユニット21を用いて当該命令に応じたデータ処理を行う。

【0016】前記DSPユニット21による積和演算を考慮して、前記Xメモリ5及びYメモリ6はそれ専用のバスX-Bus, Y-Busを介してCPU2に接続するデータバスを有している。

【0017】前記バスステートコントローラ7は、CPU2やDMAC11によるアクセス対象回路(アクセス対象とされるアドレスエリア)に応じて、アクセスデー

タサイズ、アクセスタイム、ウェイトステートの挿入制御などを行なって、バスサイクルを制御する。

【0018】上記マイクロコンピュータ1はシステムコントローラ16から出力されるクロック信号に同期動作される。マイクロコンピュータ1の内外からの割込み要求や例外処理要求に対するマスク処理や調停は割込みコントローラ10が行なう。

【0019】マイクロコンピュータ1は、評価専用のマイクロコンピュータではなく、所謂実チップであるが、ユーザブレイクコントローラ4、ユーザデバッグインタフェース15によって、ある程度のデバッグ機能を実現している。

【0020】前記ユーザブレイクコントローラ4は、命令アドレスなどのブレイク条件が設定され、設定されたブレイク条件の成立を監視し、成立を検出したとき、CPU2によるユーザプログラムの実行を停止される。ユーザプログラムの実行停止はブレイク割り込みなどを用いる。ブレイク条件の設定は、特に制限されないが、前記入出力ポート回路17、18よりBSC7、DMAC11を介して行なわれる。

【0021】更にユーザブレイクコントローラ4は、CPU2による分岐命令実行や割込み発生によりCPU2の実行命令に分岐が発生したとき、これを検出し、分岐先アドレスと分岐元アドレスを特定できるデータ（分岐トレースデータ）を生成して外部に出力可能にする、PCTレース機能を有する。分岐トレースデータの出力は前記入出力ポート回路17、18よりBSC7、DMAC11を利用して行なわれる。

【0022】図1には前記PCTレース機能を実現するためのPCTレース回路の第1の例が示される。同図においてPCTレース回路は、シフト制御回路30、コンパレータ31、インクリメンタ32、トレースデータレジスタ33a~33d、及びリビート回数レジスタ34a~34dによって構成される。

【0023】CPU2による命令実行順序が変化されることになる分岐は、分岐命令、割込み、例外処理、リビート命令などによって生ずる。リビート命令は、オペランドとして、命令スタートアドレス、命令エンドアドレス、及び繰返し回数を有する。リビート命令が実行されると、実行命令を命令スタートアドレスに分岐して命令エンドアドレスまで命令を実行する処理を、前記繰返し回数だけ繰返す。このようなリビート命令はデジタル信号処理で多用される積和演算処理の繰返しを効率化できる。前記命令制御部25は前記分岐が発生したとき分岐信号35をアサートする。即ち、分岐命令においては分岐先命令アドレスが出力され或いは分岐先命令がフェッチされるとき、割込みの場合には割込みによって指示される処理ルーチンの先頭命令アドレスが出力され或いは当該先頭命令がフェッチされるとき、また、リビート命令の場合には前記命令スタートアドレスが出力され

或いは当該スタート命令がフェッチされるとき、分岐信号35がアサートされる。

【0024】前記トレースデータレジスタ33a~33dはCPU2による命令実行順序が変化される分岐が発生したとき分岐先及び分岐元の各命令アドレスを特定するための分岐トレースデータを順次格納するレジスタであり、直列4段のシフトレジスタ形式を有する。図1の例では、分岐トレースデータは、分岐先命令アドレス及び分岐前最後に実行した命令アドレスとされる。前記リビート回数レジスタ34a~34dは、前記夫々のトレースデータレジスタ33a~33dに対応して設けられており、同様に直列4段のシフトレジスタ形式を有する。前記分岐先命令アドレス及び分岐前最後に実行した命令アドレスは、特に制限されないが、命令制御部25から出力される。

【0025】シフトレジスタ形式のリビート回数レジスタ34a~34d及びトレースデータレジスタ33a~33dに対するシフト制御は前記シフト制御回路30が行なう。前記コンパレータ31は、トレースデータレジスタ33aに格納されている分岐先の情報と分岐先命令アドレスとを比較し、且つ、トレースデータレジスタ33aに格納され得ている分岐元の情報と前記分岐前最後に実行した命令アドレスとを比較する。コンパレータ31による双方の比較結果が不一致の状態は、直前に発生した分岐が繰返されていないことを意味する。コンパレータ31による双方の比較結果が一致の状態は、直前に発生した分岐が再度繰返されることを意味する。後者の場合としては、分岐命令によるループの発生、或いはリビート命令による第2回目以降の繰返し処理がある。前者の場合には信号36によりシフト制御回路30はトレースデータレジスタ33a~33dのシフト動作を行ない、初段に新しいトレースデータを格納する。後者の場合には、信号36によりシフト制御回路30によるシフト動作を抑止させ、その代わりに、初段リビート回数レジスタ34aの値をインクリメンタ32を介して+1する。

【0026】図2には図1に示されるPCTレース回路による制御動作のフローチャートが示される。シフト制御回路30は命令制御部25をモニタし（S1）、分岐信号35がアサートされたか否かを判定する（S2）。分岐信号35がアサートされると、リビートかの判定、即ちコンパレータ31による比較結果が一致状態かの判定が行なわれる（S3）。リビートでない場合には、トレースデータレジスタ33a~33d及びリビート回数レジスタ34a~34dをシフトし（S5）、その時の分岐先命令アドレス及び分岐前最後に実行した命令アドレスをレジスタ33aに格納し、リビート回数レジスタを0にリセットする（S6）。一方、ステップS3の判定結果が、リビートである場合には、前記ステップS5、S6によるトレースデータの更新を行わず、リビ

ート回数レジスタ34aの値を+1する。

【0027】これにより、リピート命令やループによって同じ分岐が何回も繰り返される場合であっても、毎回同じトレースデータが新たなトレースデータレジスタに格納される事態を阻止することができる。したがって、記憶容量に限りの有るPCトレース用のトレースデータレジスタを無駄に費やすことがない。したがって、広範囲にPCトレースを行なうことが可能になる。仮に図7に例示される比較例の場合には、分岐が発生する度に、順次格納先レジスタが変化されていくから、同じ分岐が何回も繰り返される場合であっても、毎回同じ分岐トレースデータを保持していく。これにより、記憶容量に限りの有るPCトレース用のレジスタを無駄に費やすことになる。

【0028】図3には前記PCトレース機能を実現するためのPCトレース回路の第2の例が示される。同図においてPCトレース回路は、図1に対してコンパレータ31が省かれ、その代わりにリピート実行信号37を受けるシフト制御回路30aが設けられている。その他の構成は図1と同じである。前記リピート実行信号37は、リピート命令における分岐が繰り返されるときアサートされる。換言すれば、リピート命令による処理の繰返しが行なわれるときリピート実行信号37がアサートされる。リピート実行信号37がアサートされるときは分岐信号35は必ずアサートされる。リピート実行信号37がアサートされると、シフト制御回路30aは、分岐信号35がアサートされていてもトレースデータレジスタ33a~33d及びリピート回数レジスタ34a~34dに対するシフト動作を抑止する。それに代え、インクリメンタを利用してリピート回数レジスタ34aの値を+1する。

【0029】このように、図3のPCトレース回路は、図1に比べて回路構成が簡単になっているが、リピート命令に対してだけデータレジスタ33a~33d、34a~34dのシフト動作を抑止する点で、その機能は図1に比べて簡素化されている。その他の点では図1と同じ効果を有する。

【0030】図4には前記PCトレース機能を実現するためのPCトレース回路の第3の例が示される。同図においてPCトレース回路は、図3に対してシフト制御回路30bが相違される。図3の構成に対して、シフト制御回路30bにはリピート命令の途中であることを示すステータス信号38aと割込み信号38bとが供給されている。前記ステータス信号38aは命令制御部25がリピート命令の命令コードをデコードすることによってアサートされ、リピート命令で規定される繰返し回数分の処理を終了することによってネゲートされる。シフト制御回路30bはステータス信号38aがアサートされている状態によって、リピート命令実行中、若しくはリピート命令実行中における分岐が生じていること、換言

すればリピート命令の途中であることを認識することができる。シフト制御回路30bは、前記ステータス信号38aによってリピート命令の途中であることを認識しているときは、割込みに基づく分岐が発生しても、トレースデータレジスタ33aに対するデータ更新とレジスタ33a~33d及び34a~34dのシフト動作抑止する。割込みに基づく分岐の発生は、分岐信号35及び割込み信号38bのアサートによって認識される。

【0031】したがって、図4の構成では、リピート命令の途中で割込みが発生しても、その割込みによる分岐ではトレースデータの保持を行なわない。処理若しくはプログラムが正常であれば、割込み処理が終了すると、CPUの処理は割り込み発生時点の処理に復帰されるので、そのような割り込み処理を無視しても支障がなければ、PCトレースの範囲を更に広げるという要求に対処でき、融通性を増すことができる。

【0032】図5には前記PCトレース機能を実現するためのPCトレース回路の第4の例が示される。同図においてシフト制御回路30cによるシフト制御対象はフラグ40a~40dとされる。分岐先命令アドレス及び分岐前最後に実行した命令アドレスは入力ゲート42a~42dを介してトレースデータレジスタ33a~33dに供給される。リピート回数レジスタ34a~34dの値はインクリメンタ41a~41dによって選択的に+1される。インクリメンタ41a~41dによる+1動作はリピート実行信号37のアサートによって制御される。どのインクリメンタ41a~41dを動作させ、また、どの入力ゲート42a~42dを動作させるかは、フラグ40a~40dの値によって制御される。フラグ40a~40dは、分岐信号35によって分岐が生じたときそれがリピート命令による繰返しでないとき、シフト制御回路30cによってシフトされる。したがって、上述のトレースデータレジスタを直列的に接続したシフトレジスタ形式でなくても図1と同様の効果を得ることができる。

【0033】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0034】例えば、トレースデータレジスタの段数は4段に限定されず適宜変更することができる。マイクロコンピュータの機能実モジュールは図6に限定されない。また、PCトレース機能をサポートする回路ブロックもユーザブレイクコントローラに限定されない。

【0035】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDSPユニットを有するマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されず、CPUを含み命令若しくはコマンドを実行するデータプロセッサに広く適用することができる。

【0036】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0037】すなわち、リピート命令やループによって同じ分岐が何回も繰り返される場合であっても、毎回同じトレースデータが新たなトレースデータレジスタに格納される事態を阻止することができる。したがって、記憶容量に限りの有るPCトレース用のトレースデータレジスタを無駄に費やすことがない。したがって、広範囲にPCトレースを行なうことが可能になる。

【図面の簡単な説明】

【図1】PCトレース機能を実現するためのPCトレース回路の第1の例を示すブロック図である。

【図2】図1に示されるPCトレース回路による制御動作の一例を示すフローチャートである。

【図3】PCトレース機能を実現するためのPCトレース回路の第2の例を示すブロック図である。

【図4】PCトレース機能を実現するためのPCトレース回路の第3の例を示すブロック図である。

【図5】PCトレース機能を実現するためのPCトレース回路の第4の例を示すブロック図である。

【図6】本発明に係るデータプロセッサの一例であるマ*

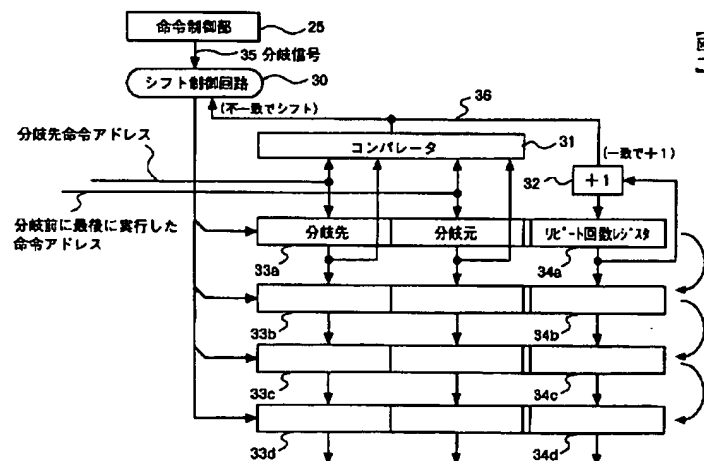
*マイクロコンピュータを全体的に示すブロック図である。

【図7】分岐が発生する度に毎回トレースデータを更新する形式のPCトレース回路を比較例として示すブロック図である。

【符号の説明】

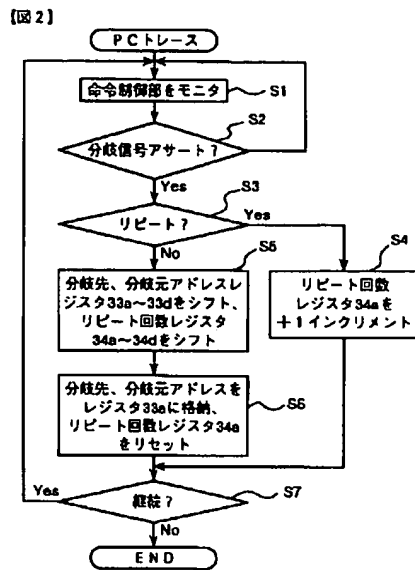
- 1 マイクロコンピュータ
- 2 CPU
- 4 ユーザブレイクコントローラ
- 25 命令制御部
- 30, 30a, 30b, 30c シフト制御回路
- 31 コンパレータ
- 32 インクリメンタ
- 33a~33d トレースデータレジスタ
- 34a~34d リピート回数レジスタ
- 35 分岐信号
- 37 リピート実行信号
- 38a リピート命令の途中であることを示すステータス信号
- 38b 割り込み信号
- 40a~40d フラグ
- 41a~41d インクリメンタ
- 42a~42d 入力ゲート

【図1】

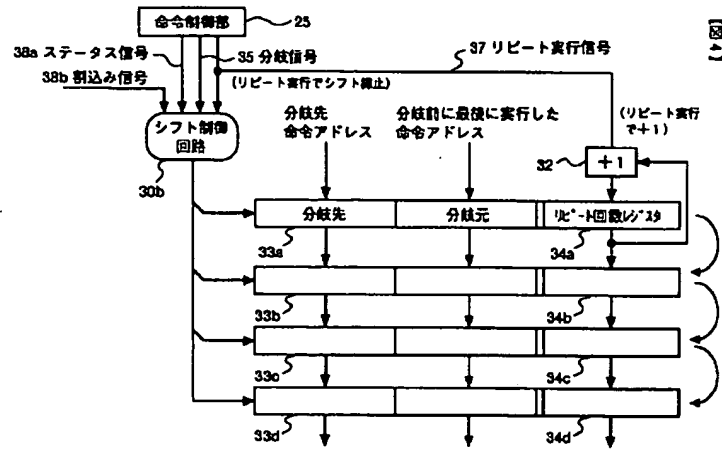


【図2】

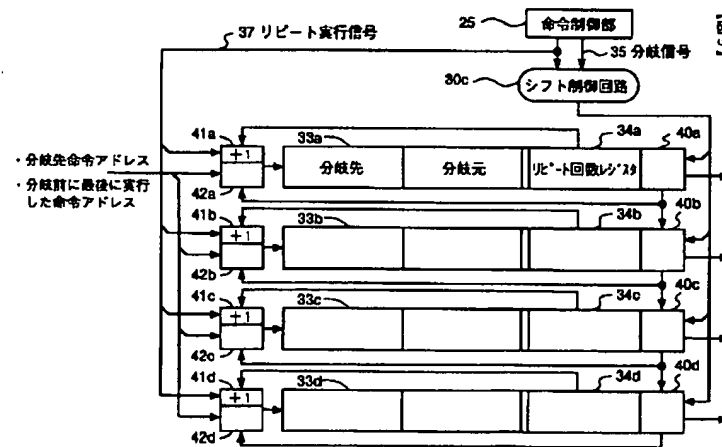
【図2】



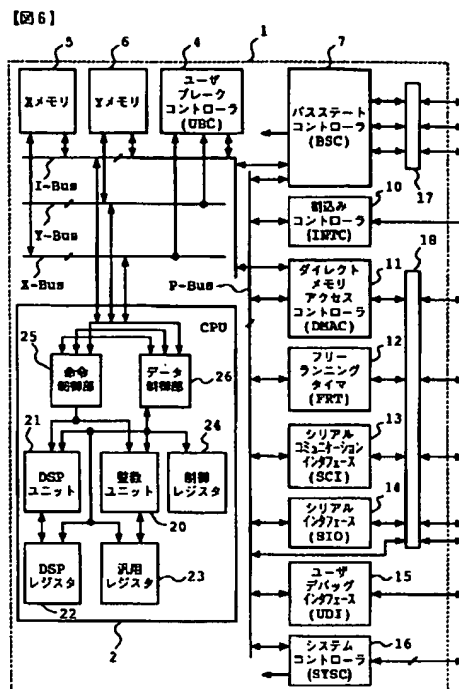
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.